

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 4 1 8 1 6

(43) 公開日 平成 1 0 年 (1 9 9 8) 2 月 1 3 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H03L 7/18			H03L 7/18	Z
H03B 28/00			H03B 28/00	A

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平 8 - 2 1 3 0 9 0
(22) 出願日 平成 8 年 (1 9 9 6) 7 月 2 4 日

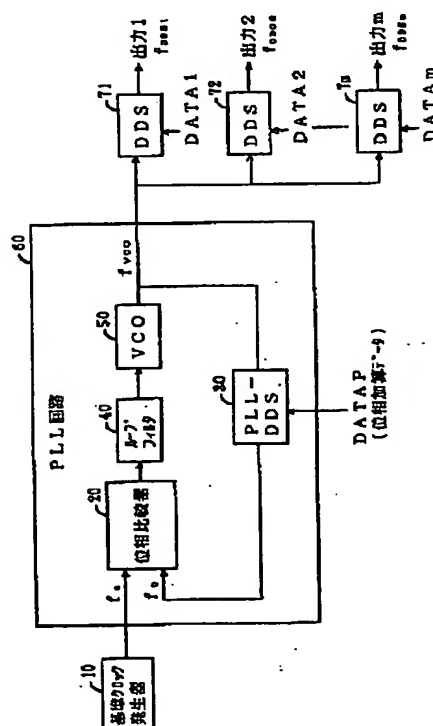
(71) 出願人 3 9 0 0 0 5 1 7 5
株式会社アドバンテスト
東京都練馬区旭町 1 丁目 3 2 番 1 号
(72) 発明者 木村 誠
東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
会社アドバンテスト内

(54) 【発明の名称】 信号発生器

(57) 【要約】

【課題】 本発明は、複数の DDS 出力をもつ信号発生器において、周波数設定を容易にし、特に、各 DDS 出力間の周波数を正確な整数比で出力できる信号発生器を提供する。

【解決手段】 基準クロック発生手段と、該基準クロック発生手段の出力信号を、PLL 回路の一方の位相比較入力端に与えて、VCO の出力を PLL-DDS で受け、該 PLL-DDS の出力を前記 PLL 回路の他方の位相比較入力端に与えて発振させる PLL 回路と、該 PLL 回路の出力を受けて所望の周波数を発生する複数の DDS とを具備して整数比の周波数が出力できる解決手段。



【特許請求の範囲】

【請求項 1】 基準クロック発生手段と、

該基準クロック発生手段の出力信号を受けて、第 1 の DDS を位相の帰還手段として発振する PLL 回路と、
該 PLL 回路の出力を受けて所望の信号を発生する第 2 の DDS と、

を具備して整数値の位相加算データ設定で端数の無い周波数が発生できることを特徴とした信号発生器。

【請求項 2】 基準クロック発生手段と、

該基準クロック発生手段の出力信号を、PLL 回路の一方の位相比較入力端に与えて、VCO の出力を DDS で受け、該 DDS の出力を前記 PLL 回路の他方の位相比較入力端に与えて発振させる PLL 回路と、

該 PLL 回路の出力を受けて所望の周波数を発生する複数の DDS と、

を具備して所望の整数比の周波数が発生できることを特徴とした信号発生器。

【請求項 3】 基準クロックを発生する基準クロック発生器 (10) と、

該基準クロック発生器 (10) の信号を位相比較入力の一端に受ける位相比較器 (20) と、

該位相比較器 (20) の出力雑音を除去するループフィルタ (40) と、

該ループフィルタ (40) の出力電圧で制御される発振器の VCO (50) と、

該 VCO (50) の出力を前記位相比較器 (20) の位相比較入力他端に帰還する PLL-DDS (30) と、

前記発振器の VCO (50) の出力を受けて、所望の周波数を発生する複数の DDS (71、72~7m) と、
を具備して該 DDS (71、72~7m) と前記 PLL-DDS (30) とに位相加算データを与えて所望の整数比の周波数が発生できることを特徴とした信号発生器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DDS 出力をもつ

$$f_{dds} = (DATA / 2^n) \cdot f_c$$

ここで、

f_{dds} : DDS 出力のクロック周波数

n : 位相加算設定レジスタのサイズ (ビット)

f_c : 基準クロックの周波数

DATA : 位相加算データ

【0008】そして、クロック周波数をカウントしていくことで、ROM テーブル・メモリ 36 用のアドレスを発生出力している。

$$DATA = (f_{dds} / f_c) \cdot 2^n$$

例えば、DDS 71 と、DDS 72 とに上記 DDS を使用した場合、基準クロックの周波数を 100 MHz、位相加算設定レジスタを 32 ビットとして、DDS 71 の

信号発生器において、周波数設定を容易にし、特に、複数の DDS 出力の周波数を整数比で正確に出力できる信号発生器に関する。

【0002】

【従来の技術】従来技術の例について、図 2 と、図 3 と、図 4 とを参照して説明する。図 2 に示すように、従来の DDS 出力をもつ信号発生器の構成は、基準クロック発生器 10 と、ダイレクト・デジタル・シンセサイザの DDS 7.1 と、DDS 7.2 ~ DDS 7.m とで構成している。

【0003】基準クロック発生器 10 は、基準となる所定の周波数の信号を発生する。例えば、1 MHz、5 MHz、10 MHz、50 MHz、100 MHz 等の周波数である。一般に、2 のべき乗の周波数は使用されない。

【0004】次に、ダイレクト・デジタル・シンセサイザである DDS の一例について、内部原理ブロック図を示す図 3 と、出力信号波形の図 4 を参照して概要を説明する。DDS (Direct Digital Synthesizer) とは、デジタル的に任意の周波数のデジタル・サイン波信号を出力するシンセサイザである。

【0005】例えば、図 3 に示すように DDS は、32 ビット長の位相加算設定レジスタ 33 と、加算器 34 と、デジタル・サイン波形の 1 サイクル分のアドレスを発生するアドレスカウンタ 35 と、デジタル・サイン波形発生用の 12 ビットのデータを出力する ROM テーブル・メモリ 36 と、DA 変換器 37 と、ローパスフィルタの LPF 38 とで構成される。

【0006】そして、位相加算設定レジスタ 33 に位相加算データを設定すると、加算器 34 が基準クロック入力を位相加算データに対応したクロック周波数に変換して出力する。

【0007】この DDS 出力のクロック周波数は、下記の式 (1) の計算式に示すように、高分解能ピッチで発生でき、しかも、この設定の切り換わりにおいても、出力波形の位相の連続性は保たれる。このクロック周波数を、アドレスカウンタ 35 に与えて、カウントさせる。

$$\dots (1)$$

【0009】このアドレス発生によって、ROM テーブル・メモリ 36 の内容、即ち 12 ビット長のサイン波コードデータを DA 変換すると、図 4 の (a) に示すデジタル階段状サイン波形となる。また、その階段状サイン波形は LPF 38 でスムージングされ図 4 の (b) に示すなめらかなサイン波形となる。

【0010】また、上記式 (1) から、下記式 (2) が得られる。

$$\dots (2)$$

出力 1 の周波数を 10 kHz、DDS 72 の出力 2 の周波数を 20 kHz とする位相加算データの DATA 1 と、DATA 2 は上記 (2) 式から計算すると、下記の

3

値となり、それぞれが整数とならない。

DATA1 = 4 2 9 4 9 6 . 7 . .

DATA2 = 8 5 8 9 9 3 . 4 . .

【0011】従って、実際に設定できる位相加算データは、

DATA1 = 4 2 9 4 9 6

DATA2 = 8 5 8 9 9 3

となる。そのときの出力1と出力2の周波数は、(1)式から

$f_{out1} = 9.99998301 \text{ kHz}$

$f_{out2} = 19.99998931 \text{ kHz}$

となる。

【0012】このように出力1と出力2との周波数は10 kHz、20 kHzとならないし、また周波数比は正確な1:2の整数比とはならない。この周波数で測定する場合、短時間での測定においては影響が少ないが、長期にわたって連続して測定をするとき、両出力信号間に位相ずれが生じる難点がある。一方、周波数比のみを整数倍にするだけならば、位相加算データを整数倍で設定すればよいが、その場合は所望の周波数とはならない。

【0013】

【発明が解決しようとする課題】上記説明のように、DDSを使用した従来の信号発生器では、発生信号周波数が正確な整数比に出来なかったり、あるいは半端な周波数となるので所望の周波数の設定がしづらい実用上の不便があった。そこで、本発明は、こうした問題に鑑みなされたもので、その目的は、10 kHz、20 kHz等の端数の無い目的とする周波数が設定できて、しかも正確な整数比の周波数が発生できるDDS出力を有する信号発生器を提供することを目的としている。

【0014】

【課題を解決する為の手段】即ち、上記目的を達成するためになされた請求項1に記載の発明は、基準クロック発生手段と、該基準クロック発生手段の出力信号を受けて、第1のDDSを位相の帰還手段として発振するPLL回路と、該PLL回路の出力を受けて所望の信号を発生する第2のDDSと、を具備して整数値の位相加算データ設定で端数の無い周波数が発生できることを特徴とした信号発生器を要旨としている。

【0015】即ち、上記目的を達成するためになされた

$$f_c = f_r$$

【0020】一方、図3に示すDDSの出力周波数は、

$$f_{out} = (\text{DATA} / 2^n) \cdot f_c$$

ここで、

f_{out} : DDS出力のクロック周波数

n : 位相加算設定レジスタのサイズ(ビット)

f_c : 基準クロックの周波数

DATA : 位相加算データ

【0021】次に、式(2)を図1に示すPLL回路6

$$f_c = (\text{DATAP} / 2^n) \cdot f_{out}$$

4

請求項2に記載の発明は、基準クロック発生手段と、該基準クロック発生手段の出力信号を、PLL回路の一方の位相比較入力端に与えて、VCOの出力をDDSで受け、該DDSの出力を前記PLL回路の他方の位相比較入力端に与えて発振させるPLL回路と、該PLL回路の出力を受けて所望の周波数を発生する複数のDDSと、を具備して所望の整数比の周波数が出力できることを特徴とした信号発生器を要旨としている。

【0016】即ち、上記目的を達成するためになされた

請求項3に記載の発明は、基準クロックを発生する基準クロック発生器10と、該基準クロック発生器10の信号を位相比較入力的一端に受ける位相比較器20と、該位相比較器20の出力雑音を除去するループフィルタ40と、該ループフィルタ40の出力電圧で制御される発振器のVCO50と、該VCO50の出力を前記位相比較器20の位相比較入力他端に帰還するPLL-DDS30と、前記発振器のVCO50の出力を受けて、所望の周波数を発生する複数のDDS71、72~7mと、を具備して該DDS71、72~7mと前記PLL-DDS30とに位相加算データを与えて所望の整数比の周波数が発生できることを特徴とした信号発生器を要旨としている。

【発明の実施の形態】本発明の実施の形態は、下記の実施例において説明する。

【0017】

【実施例】本発明の実施例について、図1と、図3と、図4とを参照して説明する。本発明の構成は、図1に示すように、基準クロック発生器10と、PLL回路60と、DDS71、72~7mとで構成している。

【0018】図1に示すPLL回路60において、位相同期ループは、位相比較器20により、外部の基準クロック発生器10の出力信号とPLL-DDS30の出力信号との位相が一致するように制御される。尚、PLL回路60内のDDSはPLL回路外のDDS71、72~7mとは同一のものが使用できるが説明の便宜上区別をしやすいようにPLL-DDS30としている。

【0019】その結果、PLL回路60のロック状態において、基準クロック発生器10の出力信号の周波数 f_r とPLL-DDS30の出力信号の周波数 f_c は等しくなり(1)式が得られる。

$$\dots\dots (1)$$

従来技術での説明と同じく下記一般式(2)となる。

$$\dots\dots (2)$$

0にあてはめると、

$$f_c = f_{out}$$

$$f_{out} = f_r$$

$$\text{DATA} = \text{DATAP}$$

であるから、下記の式(3)が得られる。

$$\dots\dots (3)$$

式 (1) と、式 (3) から式 (4) が得られる。

$$f_{vco} = (2^n / \text{DATAP}) \cdot f_c \quad \dots (4)$$

【0022】また、式 (2) を図 1 に示す、DDS71 にあてはめると、

$$f_c = f_{vco}$$

$$f_{out} = (\text{DATA1} / 2^n) \cdot f_{vco} \quad \dots (5)$$

ここで、

f_{out} : DDS71 出力のクロック周波数

n : 位相加算設定レジスタのサイズ (ビット)

f_c : 基準クロックの周波数

10

$$\begin{aligned} f_{out} &= (\text{DATA1} / 2^n) \cdot f_{vco} \\ &= (\text{DATA1} / 2^n) \cdot (2^n / \text{DATAP}) \cdot f_c \\ &= (\text{DATA1} / \text{DATAP}) \cdot f_c \quad \dots (6) \end{aligned}$$

【0024】同様に、DDS72 の出力 2 と、DDS7 m の出力 m との出力周波数は、それぞれ、式 (7) と、

$$f_{out} = (\text{DATA2} / \text{DATAP}) \cdot f_c \quad \dots (7)$$

$$f_{out} = (\text{DATA}m / \text{DATAP}) \cdot f_c \quad \dots (8)$$

【0025】例えば、下記の条件で設定した場合、

$$f_c = 1 \text{ MHz}$$

$$\text{DATAP} = 64 \times 10^4$$

$$\text{DATA1} = 64 \times 10^4$$

$$\text{DATA2} = 64 \times 10^4 \times 2$$

$$\text{DATA}m = 64 \times 10^4 \times 3$$

式 (6)、(7)、(8) から、DDS71、72、7 m の出力 1、2、m は、それぞれ、

$$f_{out} = 10 \text{ kHz}$$

$$f_{out} = 20 \text{ kHz}$$

$$f_{out} = 30 \text{ kHz}$$

となり、1 : 2 : 3 の正確な整数比の周波数となる。

【0026】結局、式 (6)、(7)、(8) の右辺からわかるように、DDS を帰還系にもつ PLL 回路を 1 段追加することで、2 のべき乗の項が消去されて無くなるので、基準クロックの周波数に対して端数の無い周波数の出力が得られる。また、DATA1 と、DATA2 と、DATA m との位相加算データを整数比となるように設定すれば、その出力は正確な整数比の周波数となる。

【0027】ところで、本実施例では DDS を帰還系にもつ PLL 回路の出力に、複数の DDS を接続した例で示したが、1 つの DDS を接続した場合でも実施でき、基準クロックの周波数に対して端数の無い周波数の出力が得られる効果がある。。

【0028】

【発明の効果】本発明は、以上説明したような形態で実

$$f_{out} = f_{out}$$

$$\text{DATA} = \text{DATA1}$$

であるから、下記の式 (5) が得られる。

DATA1 : 位相加算データ

【0023】従って、式 (4) と、式 (5) から、下記の式 (6) が得られる。

式 (8) となる。

実施され、以下に記載されるような効果を奏する。即ち、本発明においては、基準クロック発生器のクロック周波数が 2 のべき乗の周波数でなくても、DDS 出力の周波数は端数の無い周波数が容易に設定できる効果がある。しかも、複数の DDS を接続した場合は、正確な整数比の DDS 出力の周波数が得られるので、精度を必要とする測定の信号発生器としての効果は大である。

【図面の簡単な説明】

【図 1】本発明の信号発生器のブロック図である。

【図 2】従来の信号発生器のブロック図である。

【図 3】DDS のブロック図である。

【図 4】DDS 出力の波形である。

【符号の説明】

10 基準クロック発生器

20 位相比較器

30 PLL-DDS

33 位相加算設定レジスタ

34 加算器

35 アドレスカウンタ

36 ROM テーブル・メモリ

37 DA 変換器

38 LPF

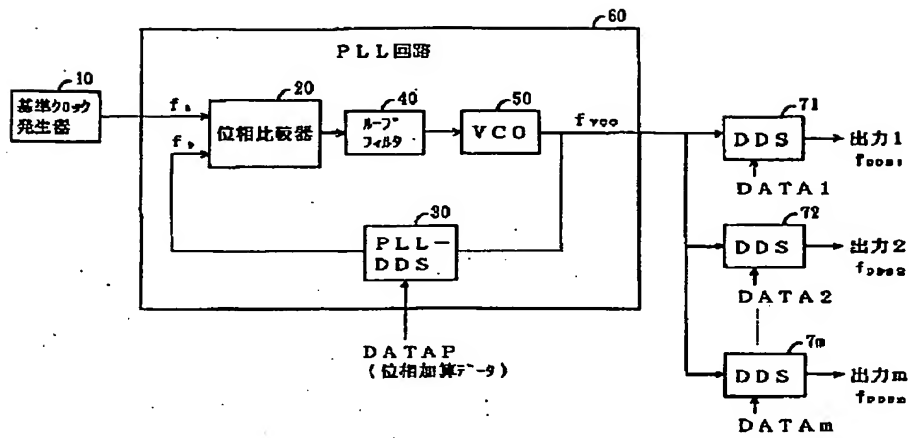
40 ループフィルタ

50 VCO

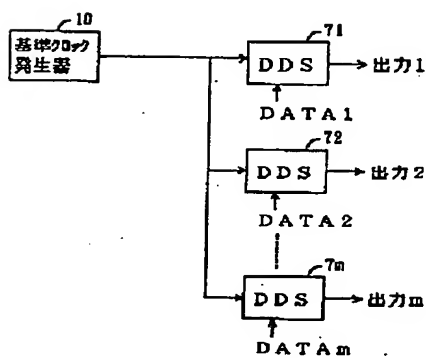
60 PLL 回路

71、72 ~ 7m DDS

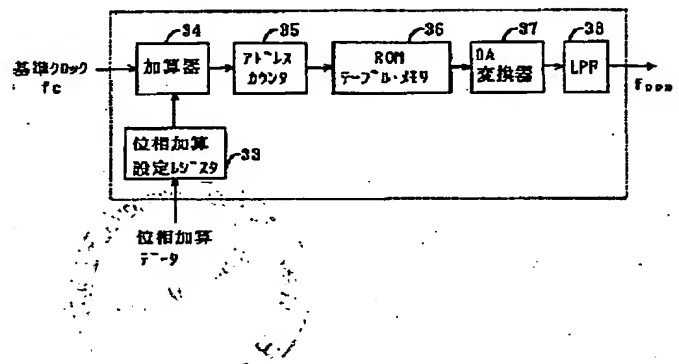
【図 1】



【図 2】



【図 3】



【図 4】

